Family list
16 family members for:
JP60245173
Derived from 15 applications.

1 **INSULATED-GATE TYPE FIELD-EFFECT SEMICONDUCTOR DEVICE**
Publication info: JP2648784B2 B2 - 1997-09-03
JP6125088 A - 1994-05-06

2 **INSULATED GATE TYPE SEMICONDUCTOR DEVICE**
Publication info: JP60245172 A - 1985-12-04

3 **INSULATED GATE TYPE SEMICONDUCTOR DEVICE**
Publication info: JP60245173 A - 1985-12-04

4 **MANUFACTURE OF INSULATED GATE TYPE SEMICONDUCTOR DEVICE**
Publication info: JP60245174 A - 1985-12-04

5 **Method of making a thin film transistor with laser recrystallized source and drain**
Publication info: US4727044 A - 1988-02-23

6 **Insulated gate field effect transistor and its manufacturing method**
Publication info: US4959700 A - 1990-09-25

7 **Insulated gate field effect transistor and its manufacturing method**
Publication info: US5142344 A - 1992-08-25

8 **Insulated gate field effect transistor and its manufacturing method**
Publication info: US5313077 A - 1994-05-17

9 **Insulated gate field effect transistor**
Publication info: US5315132 A - 1994-05-24

10 **Insulated gate field effect transistor**
Publication info: US5543636 A - 1996-08-06

11 **Insulated gate field effect transistor and its manufacturing method**
Publication info: US6221701 B1 - 2001-04-24

12 **Operation method of semiconductor devices**
Publication info: US6635520 B1 - 2003-10-21

13 **Method of forming a semiconductor device including recombination center neutralizer**
Publication info: US6660574 B1 - 2003-12-09

14 **Insulated gate field effect transistor and its manufacturing method**
Publication info: US6680486 B1 - 2004-01-20

15 **Operation method of semiconductor devices**
Publication info: US6734499 B1 - 2004-05-11

English Translation

Japanese Laid-Open Patent

Laid-open No. : Sho 60-245173

Laid open Date : December 4, 1985

Application Number: Sho 59-100251

Filing Date : May 18,1984

Inventor(s) : Shunpei YAMAZAKI

Applicant : Semiconductor Energy Laboratory Co., Ltd.

21-21, 7-chome Kitakarasuyama, Setagaya-ku, Tokyo

SPECIFICATION

1. Title of the Invention

INSULATED GATE TYPE SEMICONDUCTOR DEVICE

2. Claims

1. An insulated gate type semiconductor device wherein a channel formation region of an insulated gate type filed effect transistor comprises a non-single crystal semiconductor added with hydrogen or halogen elements, and a pair of impurity regions constituting a source and a drain neighboring said semiconductor has crystal growth promoted more than that of the semiconductor, and said regions having crystal growth promoted are

provided as to extend to said channel formation region under the gate electrode.

2. The insulated gate type semiconductor device of Claim 1 wherein the channel formation region added with hydrogen or halogen elements at a concentration of 1 atom% or more comprises a non-single crystal semiconductor and a semiconductor with crystal growth promoted more than that of said non-single crystal semiconductor.

3. Detailed Description of the Invention

[Technical Field]

The present invention relates to an insulated gate type field effect semiconductor device (hereinafter referred to as IGF) utilized for a semiconductor integrated circuit, a liquid crystal display panel, etc.

[Description of Background Art]

IGFs utilizing single crystal silicon are widely utilized in the field of semiconductors. A typical example is Japanese Patent Pub. No. Sho 50-1986 "SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF" invented by the present inventor. However, with regard to IGF whose channel formation region not added with hydrogen is not made of a single crystal semiconductor, but made of a non-single crystal semiconductor

added with hydrogen or halogen elements at a concentration of 1 atom% or more, a typical example is shown in Japanese Pat. Appl. No. Sho 53-124021 "SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF" invented by the present inventor (filed on October 7, 1978).

This IGF whose channel formation region comprises a semiconductor, especially a silicon semiconductor added with hydrogen or halogen elements, has OFF-state current of $1/10^3$ to $1/10^5$ of that of the conventional IGF utilizing a single crystal semiconductor. Therefore it is believed that this IGF is used effectively for controlling a liquid crystal display panel. As in the example above mentioned, there are three types of semiconductors as this IGF: there are a lateral channel type IGF wherein a gate electrode is formed on a semiconductor of a channel formation region, a vertical channel type IGF mentioned in Japanese Pat. Appl. No. Sho 56-001767 "INSULATED GATE TYPE SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF" by the present inventor (January 9, 1981), and a conventional thin film IGF transistor type wherein a gate electrode is provided beneath a semiconductor composing a channel formation region. Compared with the latter two, the structure of the former is the same as that of the conventionally known IGF utilizing single crystal silicon. Thus this IGF has a superiority that established technologies can be applied.

However, a source and a drain of this IGF should be formed

not through a CVD method (including a plasma CVD method) by deposition of a thin film, but through ion implantation, etc. Donors and acceptors have to be activated by annealing under a temperature of 400℃ or less, which is the range hydrogen or halogen elements are not deaired. In addition, improvement in reverse breakdown voltage between the source and the drain, especially between the drain and the channel formation region, is demanded.

[Means to Solve the Problems]

The present invention aims to solve the problems above mentioned. A gate insulator and a gate electrode above it are selectively formed on a non-single crystal semiconductor with no or little doped impurities (hereinafter non-single crystal semiconductor added with hydrogen or halogen elements is simply referred to as a semiconductor, or a non-single crystal semiconductor). Utilizing this gate electrode as a mask, impurities for the source and the drain are added by an ion implantation method or the like. For example, phosphorous or arsenic is added for N channel type, and boron is added for P channel type, into the non-single crystal semiconductor to constitute impurity regions. After that, strong light is irradiated at 400℃ or less to the regions added with these inactive impurities, thereby performing strong light anneal (hereinafter simply referred to as light anneal). Thus the semiconductor is transformed into a semicondcutor with hydrogen

or halogen elements added and retained, and with crystallinity promoted more than that of the channel formation region, particularly a semiconductor with a polycrystal or single crystal structure. Moreover, by extending this crystallization to the channel formation region, PI or NI junctions are made into regions with high crystallinity. In this manner, to improve breakdown voltage between the junctions and a non-single crystal semiconductor added with hydrogen or halogen elements for reducing OFF-state current, polycrystal regions or single crystal regions are provided in the channel formation region near the PI or NI junction interfaces.

In the conventionally known method, after an ion implantation is performed, laser anneal is performed to single crystal silicon with no hydrogen nor halogen elements added. Unlike the conventionally known method, ion implantation, then strong light anneal are performed to a non-single crystal semicondcutor with hydrogen or halogen elements added at a concentration of 1 atom% or more, generally 5 to 20 atom%, preferably this light is scanned from one end to the other end of the substrate. Thus crystal growth is to be a part of the processes, crystallinity is promoted, and impurity regions are formed.

[Results]

As a result, in the structure of the IGF of the present invention, junction breakdown voltage of a source and a drain,

especially of a drain, can be made as high as that of a single crystal semiconductor. Compared with a thin film transistor including the conventional amorphous semiconductor, the breakdown voltage is higher by nearly 20 V. In addition, a gate electrode is provided above a non-single crystal semiconductor composing a channel formation region on a substrate. Active impurity regions having optical Egs of 1.6 eV to 1.8 eV which is approximately the same as that of optical Eg (1.7 to 1.8 eV in the case of a silicon semiconductor) of this non-single crystal semiconductor are obtained. Since Eg is the same as or approximately the same as that of the channel formation region, ON-state current flows smoothly at rise time, and OFF-state current will not likely to flow sluggishly at fall time. In other words, OFF-state current is less and ON/OFF can be switched with high speed response.

The present invention is explained according to the following embodiment.

[Embodiment 1]

As is shown in Fig. 1 (A), a quartz glass substrate of 10 cm x 10 cm large and 1.1 mm thick is utilized as a substrate (1). A non-single crystal semiconductor (2) including an amorphous structure added with hydrogen at a concentration of 1 atom% or more is formed in a thickness of 0.2 μ by a plasma CVD (high frequency of 13.56 MHz, substrate temperature of 210 ℃) of silane (SiH_4). A silicon nitride film (3) is

deposited thereon as a gate insulating film by a photo CVD method. That is, Si_3N_4 is formed in a thickness of 1000 Å by a reaction of Si_2H_6 with ammonia or hydrazine (a low pressure mercury lamp including a wavelength of 2537 Å and a substrate temperature of 250 ℃) without utilizing a mercury enhancing method.

Then portions other than a region (5) composing an IGF are removed by a plasma etching method. This reaction is performed as CF_4 + O_2 (5%) at 13.56 MHz at a room temperature. A microcrystal or polycrystal semiconductor of N^+ conductivity type is deposited in a thickness of 0.3 μ on this gate insulating film. This N^+ semiconductor film is removed utilizing a resist (6) by a photoetching method. Then phosphorous is added to the regions to be a source and a drain utilizing this resist and an N^+ semiconductor gate electrode portion (4) as a mask by an ion implanting method at a concentration of 1×10^{20} cm^{-3}, as shown in Fig. 1 (B). Thus a pair of impurity regions (7) and (8) are formed.

After the resist of the gate electrode is removed, strong light (10) anneal is performed on the whole substrate. That is, light is irradiated in a linear shape utilizing an extra-high pressure mercury lamp (output of 5 KW, wavelength of 250 to 600 nm, diameter of 15 mmØ, length of 180 mm) having a parabolic reflection mirror at its back side and a quartz cylindrical lens (focal distance of 150 cm, converging width of 2 mm, length of 180 mm) in its front. The irradiated part

of the substrate is scanned at a speed of 5 to 50 cm/min. to have strong light irradiate to the entire surface of the substrate of 10 cm x 10 cm. Because a large amount of phosphorous has been added to the gate electrode portion, this electrode absorbs enough light and polycrystallizes itself. The impurity regions (7) and (8) once dissolve and recrystallize. They dissolve in the direction of scanning, that is, in the direction of X. Recrystallization is shifted (transported). As a result, compared with the case of merely heating or irradiating the entire substrate evenly, grain size of crystals can be made bigger because a system of crystal grain growth has been added.

This region which has been polycrystallized reaches the entire peripheral region of the impurity regions. As shown in figure, the bottom of this polycrystallized region reaches even the substrate (1). As shown by broken lines (11) and (11'), the polycrystallized regions extend into the channel formation region beyond junction interfaces (17) and (17') of the impurity regions (7) and (8) by 0.3 to 3 μ. Morphological interfaces (15) and (15') are provided under the gate electrode. That is, the ends (15) and (15') extend into the channel formation region beyond the ends of the gate electrode (16) and (16'). Because N (7), (8) - I (2) junction interfaces (17) and (17') are provided inside of the crystallized region in the I type semiconductor can be determineded by scanning speed and intensity (the level

of irradiation) of light anneal.

In the figure, after the process in Fig. 1 (B), PIQ is coated on the whole surface in a thickness of 2 μ, and formed as electrode holes (13) and (13'), then as ohmic contact of aluminum and its leads (14) and (14'). In the process of forming these (14) and (14') being a second layer, they can be connected with the gate electrode (4).

As a result of this light anneal, sheet resistance of the impurity regions changed from 4 x 10^{-3} $(\Omega cm)^{-1}$ before light irradiation to 1 x 10^{+2} $(\Omega cm)^{-1}$. This change in the electric conductivity characteristic is clearly shown.

As shown in curved line (21) of Fig. 2, drain breakdown voltage can be made up to 60 V in the case that the length of the channel formation region is 10 μ and the width of the channel is 1 mm. This is a condition when the gate voltage is at V_{GG} = 10 V. This drain breakdown voltage is a great improvement compared with the conventionally known thin film transistor wherein junction region of an amorphous structure has drain breakdown voltage widely varying from 30 to 50 V.

[Effect]

Because the present invention utilizes the manufacturing process of forming and processing films gradually from lower levels, large-area large-scale integration is realized. Therefore as many as 500 x 500 pieces of IGFs can be formed in a 30 cm x 30 cm panel, and can be utilized as IGFs for controlling

liquid crystal display elements.

A semiconductor which has been polycrystallized or single crystallized by light anneal process is extended to the channel formation region. As a result, the drain breakdown voltage is increased more than that of the conventional method, by 20 V or more.

As this light anneal utilizes ultraviolet rays, crystallization from the surface of the semiconductor to the portion inside is promoted. Thus electric current flowing through the channel formation region near the gate insulating film to the fully polycrystallized or single crystallized impurity regions near the surface can be controlled with no problem.

Single crystal semiconductors are not at all utilized as substrates. Thus the portion inside of the channel formation region apart from the source and the drain can keep the state as a non-single crystal semiconductor without being influenced by the light irradiation anneal process. Therefore OFF-state current can be made $1/10^3$ to $1/10^4$ of that of a single crystal semiconductor.

Because the source and the drain are formed by light anneal after formation of the gate, the interface of the gate insulator will not be contaminated and its characteristic is stable. Unlike the conventional method, not only quartz glass but also soda glass, and a heat endurable organic film can be utilized

as optional substrate materials.

The formation of a semiconductor - a gate insulator - a gate electrode comprising a channel formation region of interfaces of different materials and the processes in the same reaction chamber can be performed without being exposed to the air. Thus it is characterized in that interface traps are rarely generated.

In the present invention, it is preferable that each impurity concentration of oxygen, carbon and nitrogen in the non-single crystal semiconductor of the channel formation region is 5×10^{18} cm^{-3} or less. In the conventionally known IGF, impurities are mixed in the channel layer at a concentration of 1 to 3×10^{20} cm^{-3}. In the case of utilizing an amorphous silicon semiconductor, life time of carriers, especially that of holes, are shortened. Thus, in terms of characteristics, current flown is as little as 1/3 or less of that of the present invention. In addition, hysteresis characteristic is observed when drain electric field is applied at 2×10^6 V/cm or more to I_{DD} - V_{GG} characteristic. On the other hand, when oxygen is 5×10^{18} cm^{-3} or less, hysteresis is not observed even with an electric potential of 3×10^6 V/cm.

4. Brief Description of the Drawings

Fig. 1 shows cross sectional views of the manufacturing processes of the insulated gate field effect semiconductor

device of the present invention.

Fig. 2 shows characteristis of drain current - gate voltage.

Applicant

Semiconductor Energy Laboratory Co., Ltd.

Representative: Shunpei YAMAZAKI

⑲ 日本国特許庁（JP）　　⑪ 特許出願公開

⑫ 公開特許公報（A）　　昭60－245173

⑤Int.Cl.⁴	識別記号	庁内整理番号	⑬公開 昭和60年(1985)12月4日
H 01 L 29/78		8422－5F	
// H 01 L 21/324		6603－5F	
			審査請求 有　発明の数 1 （全4頁）

⑭発明の名称　絶縁ゲイト型半導体装置

㉑特　願　昭59－100251

㉒出　願　昭59(1984)5月18日

⑫発明者　山崎　舜平　東京都世田谷区北烏山7丁目21番21号　株式会社半導体エネルギー研究所内

⑪出願人　株式会社　半導体エネルギー研究所　東京都世田谷区北烏山7丁目21番21号

明　細　書

1.発明の名称

絶縁ゲイト型半導体装置

2.特許請求の範囲

1.絶縁ゲイト型電界効果トランジスタのチャネル形成領域は水素またはハロゲン元素が添加された非単結晶半導体よりなり、該半導体に隣接するソースおよびドレインを構成する一対の不純物領域は前記非単結晶半導体よりも結晶化が助長されて設けられ、かつ該結晶化が助長されて設けられた領域は前記ゲイト電極下のチャネル形成領域の内部にわたって設けられたことを特徴とする絶縁ゲイト型半導体装置。

2.特許請求の範囲第1項において、水素またはハロゲン元素が1原子%以上の濃度に添加されたチャネル形成領域は非単結晶半導体と該半導体に比べて結晶化が助長されて設けられた半導体とにより設けられたことを特徴とする絶縁ゲイト型半導体装置。

(1)

3.発明の詳細な説明

「産業上の利用分野」

本発明は半導体集積回路、液晶表示パネル等に用いられる絶縁ゲイト型電界効果半導体装置（以下IGF という）に関する。

「従来の技術」

単結晶珪素を用いたIGF は広く半導体分野に用いられている。その代表例は本発明人の発明になる特公昭50―1986「半導体装置およびその作製方法」である。しかしチャネル形成領域を単結晶半導体を用いるのではなく、水素またはハロゲン元素が1原子%以上の濃度に添加された非単結晶半導体により設けられたIGF は本発明人の出願による特願昭53－124021「半導体装置およびその作製方法」（昭和53年10月7日出願）がその代表例である。

かかる水素またはハロゲン元素が添加された半導体特に珪素半導体がチャネル形成領域に用いられたIGF は、オフ電流が従来より公知の単結晶半導体を用いた場合に比べて10^3 ～10^5 分の1も小

(2)

さい。そのため液晶表示パネル制御用IGF として用いることが有効であるとされている。このIGF は前記した引例のごとく、ゲイト電極がチャネル形成領域の半導体に対しその上側に設けられた横チャネル型IGF 、また本発明人の出願になる特願昭56―001767「絶縁ゲイト型半導体装置およびその作製方法」(昭和56年1月9日)に示された縦チャネル型IGF 、およびゲイト電極がチャネル形成領域を構成する半導体の下側に設けられたいわゆる一般的に公知の薄膜IGF トランジスタ型が知られている。そのうち後2者に比べ前者の前記した構造は従来より公知の単結晶珪素を用いたIGF と構造が同じであるため、すでに出来上がった技術を応用できるというきわめて優れた特長を有するものであった。

しかし他方、かかるIGF においては、ソース、ドレインの作製をCVD 法(プラズマCVD 法を含む)により薄膜のディポジッションにより行うのではなくイオン注入等により添加し、かつその添加物を400 ℃以下の水素またはハロゲン元素が脱気し

ない温度範囲でアニールにより活性のドナーまたはアクセプタとしなければならない。

加えて、ソース、ドレイン、特にドレインとチャネル形成領域との間での逆耐圧の向上が求められている。

『問題を解決するための手段』

本発明は上記の問題を解決するためのものであり、不純物の添加のないまたはきわめて少ない非単結晶半導体(以下水素またはハロゲン元素が添加された非単結晶半導体を単に半導体または非単結晶半導体と略記する)上にゲイト絶縁物およびその上にゲイト電極を選択的に設けた。さらにこのゲイト電極をマスクとしてイオン注入法等によりソース、ドレイン用の不純物例えばNチャネル型ではリンまたは砒素、Pチャネル型ではホウ素を非単結晶半導体内部に添加し不純物領域を構成させた。この後この不活性の不純物が添加された領域に対し、400 ℃以下の温度で強光照射をし、強光アニール(以下単に光アニールという)を行い、水素またはハロゲン元素が添加残存し、かつ

結晶化度がチャネル形成領域よりも助長された半導体、特に著しくは多結晶または単結晶構造の半導体にこの不純物領域の半導体を変成せしめ、加えてこの結晶化をチャネル形成領域にまで延在させることによりPIまたはNI接合部を結晶化度の高い領域としたものである。かくすることにより、チャネル形成領域はオフ電流を少なくするための水素またはハロゲン元素が添加された非単結晶半導体と接合部での耐圧の向上(アバランシェブレイクダウン電圧の向上)用に多結晶または単結晶領域をPIまたはNI接合界面近傍に設けたものである。

『作用』

その結果、本発明のIGF の構造は、ソース、ドレイン、特にドレインの接合耐圧を単結晶半導体と同様に高くすることができ、従来のアモルファス半導体を含む薄膜トランジスタに比べ20V 近くも向上させることができた。加えてゲイト電極が基板上のチャネル形成領域を構成する非単結晶半導体の上方に設けられ、かつこの半導体の光学的

Eg(珪素半導体の場合1.7 ～1.8eV)に対し1.6 ～1.8eV と殆ど同じ光学的Egを有しかつ活性な不純物領域を得ることができた。かくのごとく、Egがチャネル形成領域と同じまたは概略同じであるため、IGF の「ON」,「OFF 」に対しオン電流が立ち上がり時に流れにくかったり、また他方、電流がたち下がり時にダラダラ流れてしまったりすることがない、いわゆるオフ電流が少なく、かつオン、オフを高速応答で行うことができた。

以下に実施例により本発明を説明する。

『実施例1』

基板(1) として第1図(A) に示すごとく、厚さ1.1mm の石英ガラス基板10cm×10cmを用いた。この上面に、シラン(SiH_4)のプラズマCVD(高周波数13.56MHz, 基板温度210 ℃)により水素が1原子%以上の濃度に添加されたアモルファス構造を含む非単結晶半導体(2) を0.2 μの厚さに形成した。さらにこの上面に光CVD 法により窒化珪素膜(3) をゲイト絶縁膜として積層した。即ちSi_2H_6とアンモニアまたはヒドラジンとの反応(2537Åの波

長を含む低圧水銀灯、基板温度250 ℃）により、Si_3N_4 を水銀増感法を用いることなしに1000Åの厚さに作製した。

この後、IGF を形成する領域(5) を除く他部をプラズマエッチング法により除去した。反応は$CF_4+O_2(5\%)$で13.56MHz、室温で行った。このゲイト絶縁膜上にN^+の導電型の微結晶または多結晶半導体を0.3 μの厚さに積層した。このN^+の半導体膜をレジスト(6) を用いてフォトエッチング法で除去した後、このレジストとN^+半導体のゲイト電極部(4) とをマスクとしてソース、ドレインとなる領域にイオン注入法により$1\times10^{20}cm^{-3}$の濃度に第1図(B) に示すごとくリンを添加し、一対の不純物領域(7),(8) を形成した。

さらにこの基板全体に対し、ゲイト電極のレジストを除去した後、強光(10)の光アニールを行った。即ち、超高圧水銀灯（出力5KW,波長250 ～600nm, 光径15mmφ, 長さ180mm)に対し裏面側は放物面の反射鏡を用い前方に石英のシリンドリカルレンズ（焦点距離150cm,集光部巾2mm,長さ180mm)に

より線状に照射部を構成した。この照射部に対し基板の照射面を5 ～50cm/ 分の速度例えば10cm/分の速さで走査(スキャン) し、基板10cm×10cmの全面に強光が照射されるようにした。

かくするとゲイト電極部はゲイト電極側にリンが多量に添加されているため、この電極は十分光を吸収し多結晶化した。また不純物領域(7),(8) は一度溶融し再結晶化することにより走査する方向即ちX方向に溶融、再結晶がシフト（移動）させた。その結果単に全面に均一に加熱または光照射するのみに比べ、成長機構が加わるため結晶粒径を大きくすることができた。

この強光アニールにより多結晶化した領域を、不純物領域の外側の全領域にまで及ぼしめた。このため図面に示されるごとく、その底面は基板(1)上にまで至り、破線(11),(11')に示したごとく、不純物領域(7),(8) の接合界面(17),(17')よりもチャネル形成領域に0.3 ～3 μの深さにわたって設けられ、モホロジ的な界面(15),(15')はゲイト電極下に設けられている。即ちその端部(15)(15')

はゲイト電極の端部(16),(16')よりもチャネル形成領域内側にわたって設けられている。かくのごとく、N(7),(8)—I (2) 接合界面(17),(17')が結晶化領域内部に設けられているため、逆バイアスに対し接合の破壊電圧が大きくなり高耐圧IGF を作ることができた。このI型半導体内の結晶化半導体の領域の程度は光アニールの走査スピード、強度（照度）によって決めることができる。

図面においては、この第1図(B) の工程の後、PIQ を全面に2μの厚さにコートし、さらに電極穴(13)(13') に形成した後、アルミニュームのオームコンタクトおよびそのリード(14),(14')を形成している。この2層目の(14),(14')の形成の際、ゲイト電極(4) と連結してもよい。

この光アニールの結果、不純物領域のシート抵抗が光照射前の$4\times10^{-2}(\Omega cm)^{-1}$より$1\times10^{+2}(\Omega cm)^{-1}$に比べ光照射アニールの後の電気伝導度特性の変化により明らかにすることができた。

さらにそのドレイン耐圧は第2図曲線(21)に示されるごとく、チャネル形成領域の長さが10μの

場合、チャネル巾が1mm の条件下において、60Vまで作ることができた。これはゲイト電圧V_{GG}=10V とした時の条件である。

これはこの接合領域がアモルファス構造の従来より公知の薄膜トランジスタにおいては、30～50V と大きくばらつくことを考えると、大きな進歩であった。

「効果」

本発明は下側から漸次被膜を形成し加工するという製造工程を採用したため、大面積大規模集積化を行うことが可能になった。そのため大面積例えば30cm×30cmのパネル内に500 ×500 ケのIGF の作製すらも可能とすることができ、液晶表示素子の制御用IGF として応用することができた。

光アニールプロセスにより多結晶化または単結晶化した半導体をチャネル形成領域にまで延在させた。このためドレイン耐圧を従来より20V 以上向上させることができるようになった。

この光アニールを紫外線で行うため、半導体の表面より内部方向への結晶化を助長させた。この

ため十分に多結晶化または単結晶化した表面近傍の不純物領域へチャネル形成領域におけるゲイト絶縁膜のごく近傍に流れる電流制御を支障なく行うことが可能となった。

基板として単結晶半導体をまったく用いていない。このため光照射アニール工程に際し、チャネル形成領域のソース、ドレインより離れた内部はまったく何等の影響を受けず非単結晶半導体の状態を保持できる。そのためオフ電流を単結晶半導体の$1/10^3$～$1/10^4$にすることができた。

ゲイトを作った後ソース、ドレインを光アニールで作製するため、ゲイト絶縁物界面に汚物が付着することがなく特性が安定していた。

さらに従来より公知の方法に比べ、基板材料として石英ガラスのみならず任意の基板であるソーダガラス、耐熱性有機フィルムをも用いることができる。

異種材料界面であるチャネル形成領域を構成する半導体―ゲイト絶縁物―ゲイト電極の形成と同一反応炉内でのプロセスにより、大気に触れさせ

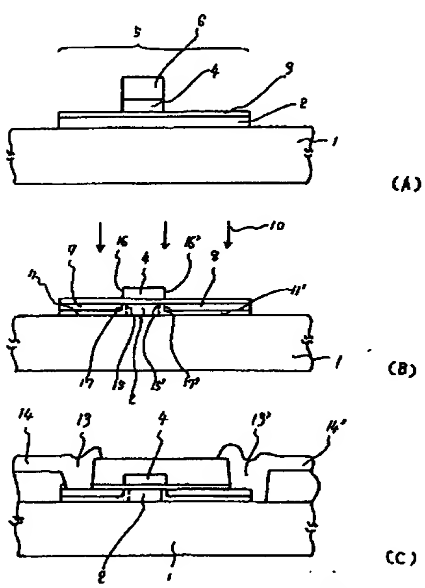
ることなく作り得るため、界面準位の発生が少ないという特長を有する。

なお本発明において、チャネル形成領域の非単結晶半導体の酸素、炭素および窒素のいずれもが$5\times10^{18}cm^{-3}$以下の不純物濃度であることが好ましい。即ちこれらが従来公知のIGF においてはチャネル層に1～$3\times10^{20}cm^{-3}$の濃度に混合してしまった。アモルファス珪素半導体を用いる場合においては、キャリア特にホールのもつライフタイムが短くなり、特性が本発明が有する特性の1／3以下の電流しか流れない。加えてヒステリシス特性をI_{DS}―V_{GG}特性にドレイン電界を$2\times10^4V/cm$ 以上加える場合に観察されてしまった。また他方酸素を$5\times10^{18}cm^{-3}$以下とすると、$3\times10^4V/cm$ の電圧においてもヒステリシスの存在が観察されなかった

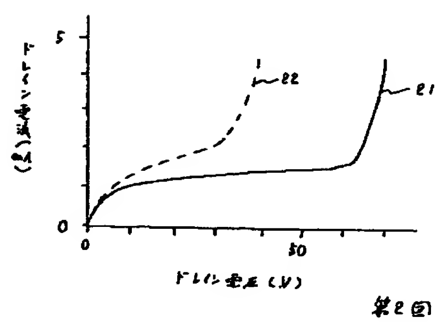
4.図面の簡単な説明

第1図は本発明の絶縁ゲイト型電界効果半導体装置の製造工程の縦断面図を示す。

第2図はドレイン電流―ドレイン電圧の特性を示す。



第1図



第2図